

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-76976

(43) 公開日 平成8年(1996)3月22日

(51) Int. Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 7/50	A			
H 0 3 K 3/356				
17/16	L	9184-5K		
19/21		9199-5K		
			H 0 3 K 3/ 356	Z
			審査請求 有	請求項の数 4 O L (全 7 頁)

(21) 出願番号 特願平6-214832

(22) 出願日 平成6年(1994)9月8日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 井倉 裕之

東京都港区芝五丁目7番1号 日本電気株式会社内

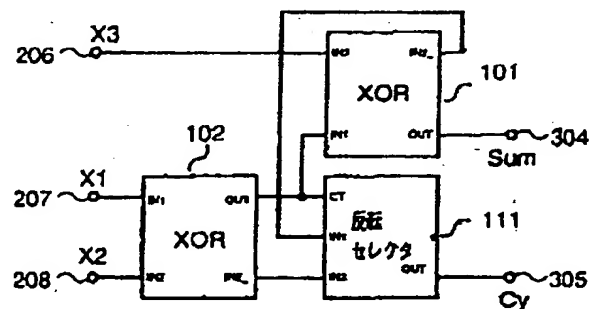
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 XOR回路と反転セレクト回路及びこれらを用いた加算回路

(57) 【要約】

【目的】 従来より低電力なXOR回路と反転セレクト回路とこれを用いた低電力な全加算器を提供すること。

【構成】 従来よりも貫通電流の流れる確率を減らした、XOR回路101、102、及び従来よりも貫通電流の流れる確率を減らした反転セレクト回路111を用いて全加算器を構成する。



1

## 【特許請求の範囲】

【請求項1】 入力端が第1の入力端子に接続され、出力端が第1の出力端子に接続された第1のインバータ回路と、入力端が第2の入力端子に接続され、出力端が第2の入力端子に接続された第2のインバータ回路と、第1の入力端子と第2の出力端子に2つのコントロール端が接続され、入力端が第1の出力端子に接続され、出力端が第3の出力端子に接続されたトランスファゲート回路と、ゲートが第1の出力端子に接続され、ソースが第1の電源端子に接続された第1のpMOSトランジスタと、ゲートが第1の出力端子に接続され、ソースが第2の電源端子に接続された第1のnMOSトランジスタと、ゲートが第2の入力端子（または第2の出力端子）に接続され、ソースが第1のpMOSトランジスタのドレインに接続され、ドレインが第3の出力端子に接続された第2のpMOSトランジスタと、ゲートが第2の出力端子（または第2の入力端子）に接続され、ソースが第1のnMOSトランジスタのドレインに接続され、ドレインが第3の出力端子に接続された第2のnMOSトランジスタとを備えたXOR回路。

【請求項2】 入力端が第1の入力端子に接続された第1のインバータ回路と、ゲートが第2の入力端子に接続され、ソースが第1の電源端子に接続された第1のpMOSトランジスタと、ゲートが第2の入力端子に接続され、ソースが第2の電源端子に接続された第1のnMOSトランジスタと、ゲートが第1のインバータの出力端に接続され、ソースが第1のpMOSトランジスタとのドレインに接続され、ドレインが第1の出力端子に接続された第2のpMOSトランジスタと、ゲートが第1の入力端子に接続され、ソースが第1のnMOSトランジスタのドレインに接続され、ドレインが第1の出力端子に接続された第2のnMOSトランジスタと、ゲートが第3の入力端子に接続され、ソースが第1の電源端子に接続された第3のpMOSトランジスタと、ゲートが第3の入力端子に接続され、ソースが第2の電源端子に接続された第3のnMOSトランジスタと、ゲートが第1の入力端子に接続され、ソースが第3のpMOSトランジスタのドレインに接続され、ドレインが第1の出力端子に接続された第4のpMOSトランジスタと、ゲートが第1のインバータの出力端に接続され、ソースが第3のnMOSトランジスタのドレインに接続され、ドレインが第1の出力端子に接続された第4のnMOSトランジスタとを備えた反転セクタ回路。

【請求項3】 第1の入力端が第1の入力端子に接続され、第2の入力端が第2の入力端子に接続され、演算結果出力端と第2の入力端子からの入力信号の反転信号出力端を有する請求項1の構成をもった第1のXOR回路と、第1の入力端が第1のXOR回路の演算結果出力端に接続され、第2の入力端が第3の入力端子に接続され、演

2

算結果出力端と第3の入力端子からの入力信号の反転信号出力端を有し、この演算結果出力端が加算出力端子に接続された請求項1のXOR回路の構成をもった第2のXOR回路と、

第2の入力端が第2のXOR回路の反転信号出力端に接続され、第3の入力端が第1のXOR回路の反転信号出力端に接続され、第1の入力端が第1のXOR回路の第3の出力端に接続され、第1の出力端がキャリ出力端子に接続された請求項2の反転セクタ回路の構成をもった反転セクタ回路とを備えた全加算回路。

【請求項4】 第1の入力端が第1の入力端子に接続され、第2の入力端が第2の入力端子に接続され、演算結果出力端と第2の入力端子からの入力信号の反転信号出力端を有する請求項1のXOR回路の構成をもった第1のXOR回路と、

第1の入力端が第3の入力端子に接続され、第2の入力端が第4の入力端子に接続され、演算結果出力端と第3の入力端子からの入力を反転する第1の反転信号出力端と第4の入力信号からの入力を反転する第2の反転信号出力端とを有する請求項1のXOR回路の構成をもった第2のXOR回路と、

第1の入力端を第1のXOR回路の演算結果出力端に接続し、第2の入力端を第2のXOR回路の演算結果出力端に接続し、演算結果出力端を有する、請求項1のXOR回路の構成をもった第3のXOR回路と、

選択信号入力端に第1のXOR回路の演算結果出力端を接続し、第1の入力端に第2のXOR回路の第1の反転信号出力端を接続し、第2の入力端に第1のXOR回路の反転信号出力端を接続し、演算結果出力端に第1のキャリ出力端子を接続した請求項2の反転セクタ回路の構成をもった第1の反転セクタ回路と、

第1の入力端に第3のXOR回路の演算結果出力端を接続し、第2の入力端にキャリ入力端子を接続し、演算結果出力端に加算出力端子を接続した請求項1のXOR回路の構成をもった第4のXOR回路と、

選択信号入力端に第3のXOR回路の演算結果出力端を接続し、第1の入力端に第4のXOR回路の第2の反転信号出力端を接続し、第2の入力端に第2のXOR回路の反転信号出力端を接続し、演算結果出力端に第2のキャリ出力端子を接続した請求項2の反転セクタ回路の構成をもった第2の反転セクタ回路とを備えた4-2加算回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は乗算器における部分積加算に用いられる全加算器に関し、特に、低電源電圧でも高速でかつ低電力な全加算器の構成に関するものである。

【0002】

【従来の技術】 従来、この種の全加算器には、例えば図

7に示す回路が用いられる。この図中で、51、52がXOR（排他的論理和）回路、71、72、73がNAND回路、226、227、228が入力端子、323がサム端子、324がキャリー端子である。そして、この中で用いられるXOR回路は通常、図5に示す様な回路が用いられる。24、25、26がインバータ回路、42、43がトランスファゲート（以下TGと略称）回路、221、222が入力端子、321が出力端子である。

【0003】この全加算器回路のクリティカルパスは入力端子227もしくは228からXOR回路57を通過し、NAND回路71と73と通過し、キャリーアウト端子324までのパスである。

【0004】また、全加算器の従来例としては、図8の回路がある。この図中で、55、56がXOR回路、121がセレクタ回路、236、237、238が入力端子、333がサム端子、334がキャリー端子である。そして、この中で用いられるXOR回路は通常、図5に示す様な回路が用いられる。また、セレクタ回路は通常、図6に示す様な回路が用いられる。28、29、30がインバータ回路、44、45がTG回路、223、224、225が入力端子、322が出力端子である。

【0005】この全加算器のクリティカルパスは入力端子237もしくは238からXOR回路55と56を通過し、サム端子333までのパスである。

【0006】クリティカルパス遅延時間では、一般に図8の全加算器の遅延時間の方が、図7の全加算器の遅延時間より短い。

【0007】

【発明が解決しようとする課題】従来の全加算器では、図5に示す様なXOR回路、または図6に示す様なセレクタ回路を使用していた。これらの回路では、図5における24、25、26のインバータ回路や、図6における27、28、29、30のインバータ回路に貫通電流が流れ、無駄な電力を消費していた。

【0008】本発明の目的は、このような貫通電流の流れる確率を減らし、それによって電力を低減した全加算器回路を提供することにある。

【0009】

【課題を解決するための手段】図1に示す様なMOSTランジスタを縦積みして貫通電流の流れる確率を減らしたXOR回路及び図2に示す様なMOSTランジスタを縦積みして貫通電流の流れる確率を減らした反転セレクタ回路を用い、図3に示す様な接続を行なって全加算器を構成する。

【0010】

【作用】図1に示すXOR回路において、例えばpMOSTランジスタ（以下pMOSと略称）11がオンになっても、pMOS12がオフであればpMOS11に貫通電流は流れない。同様にnMOSTランジスタ（以下

nMOSと略称）1がオンになってもnMOS2がオフであればnMOS1に貫通電流は流れない。

【0011】また、図2に示す反転セレクタ回路において、例えばpMOS13がオンになっても、pMOS14がオフであればpMOS13に貫通電流は流れない。同様にnMOS3がオンになってもnMOS4がオフであればnMOS3に貫通電流は流れない。同様にpMOS15がオンになっても、pMOS16がオフであればpMOS15に貫通電流は流れない。同様にnMOS5がオンになってもnMOS6がオフであればnMOS5に貫通電流は流れない。

【0012】このように貫通電流の流れる確率を減らしたXOR回路及び反転セレクタ回路を用いて、全加算器を構成することにより、全加算器の電力を低減する事ができる。

【0013】

【実施例】図3に本発明の構成例を示す。この回路の真理値表を図11に示す。図3中のXOR回路101、102は図1に示すXOR回路を用い、反転セレクタ回路111は図2に示す反転セレクタ回路を示す。

【0014】まず、図1に示すXOR回路の動作を説明する。

【0015】入力端子201に信号“0”を入力し、入力端子202に信号“0”を入力したとき、インバータ21、22により出力端子300（IN1<sub>—</sub>）、301（IN2<sub>—</sub>）はそれぞれ入力IN1、IN2の反転信号“1”、“1”を出力する。また、nMOS1はオン、nMOS2はオン、pMOS11はオフ、pMOS12はオンし、TG41はオフになる。その結果出力端子302は“0”を出力する。

【0016】入力端子201に信号“0”を入力し、入力端子202に信号“1”を入力したとき、インバータ21、22により出力端子300、301はそれぞれ信号“1”、“0”を出力する。また、nMOS1はオン、nMOS2はオフ、pMOS11はオフ、pMOS12はオフし、TG41はオンになる。その結果出力端子302は“1”を出力する。

【0017】入力端子201に信号“1”を入力し、入力端子202に信号“0”を入力したとき、インバータ21、22により出力端子300、301はそれぞれ信号“0”、“1”を出力する。また、nMOS1はオフ、nMOS2はオン、pMOS11はオン、pMOS12はオンし、TG41はオフになる。その結果出力端子302は“1”を出力する。

【0018】入力端子201に信号“1”を入力し、入力端子202に信号“1”を入力したとき、インバータ21、22により出力端子300、301はそれぞれ信号“0”、“0”を出力する。また、nMOS1はオフ、nMOS2はオフ、pMOS11はオン、pMOS12はオフし、TG41はオンになる。その結果出力端

5

子302は“0”を出力する。

【0019】ところで、通常、入力端子201及び202に入力される信号は同時には来ないため、例えば、pMOS11がオンになるときpMOS12がオフであればpMOS11に貫通電流が流れない。同様に例えば、nMOS1がオンになってもnMOS2がオフであればnMOS2に貫通電流は流れない。

【0020】次に図2に示す反転セクタ回路の動作を説明する。

【0021】入力端子205に与えられた信号によって、入力端子203及び入力端子204に与えられた信号のうちどちらかが選択される。つまり、入力端子205に与えられた信号がHighレベルであるとき、入力端子203に与えられた信号が選択され、出力端子303には入力端子203に与えられた信号の反転信号が出力される。また、入力端子205に与えられた信号がLowレベルであるとき、入力端子204に与えられた信号が選択され、出力端子303には入力端子204に与えられた信号の反転信号が出力される。

【0022】入力端子205に信号“0”を入力したとき、nMOS4はオフ、pMOS14はオフ、nMOS6はオン、pMOS16はオンとなる。nMOS4、pMOS14はオフなので、nMOS3、pMOS13はゲート電圧がどうであろうとも電流は流れず、その結果、入力端子203によって出力は影響されない。ここで、入力端子204に信号“0”が入力されたとき、nMOS5はオフ、pMOS15はオンとなるので、出力端子303からは信号“1”が出力される。反対に、入力端子204に信号“1”が入力されたとき、nMOS5はオン、pMOS15はオフとなるので、出力端子303からは信号“0”が出力される。

【0023】入力端子205に信号“1”を入力したとき、nMOS4はオン、pMOS14はオン、nMOS6はオフ、pMOS16はオフとなる。nMOS6、pMOS16はオフなので、nMOS5、pMOS15はゲート電圧がどうであろうとも電流は流れず、その結果、入力端子204によって出力は影響されない。ここで、入力端子203に信号“0”が入力されたとき、nMOS3はオフ、pMOS13はオンとなるので、出力端子303からは信号“1”が出力される。反対に、入力端子204に信号“1”が入力されたとき、nMOS3はオン、pMOS13はオフとなるので、出力端子303からは信号“0”が出力される。

【0024】ところで、通常入力端子205及び203、204に入力される信号は同時には来ないため、例えば、pMOS13がオンになるときpMOS14がオフであればpMOS13に貫通電流が流れない。同様に例えば、nMOS3がオンになってもnMOS4がオフであればnMOS3に貫通電流は流れない。

【0025】通常インバータ回路は図10に示す構造で

6

ある。入力端子244に信号“0”が入力されると、nMOS7はオフし、pMOS17はオンする。その結果出力端子338は信号“1”を出力する。入力端子244に信号“1”が入力されると、nMOS7はオンし、pMOS17はオフする。その結果出力端子338は信号“0”を出力する。ここで、nMOS7のゲートとpMOS17のゲートは直接接続されているので、例えば、ゲートの電位がLowからHighに変わるとき、nMOS7はオンしようとし、pMOS17はオフしようとする過渡期にpMOS17はオフしきれていないので、ここに貫通電流が流れる。

【0026】図5に示した従来のXOR回路のインバータ26に流れる貫通電流が、先に説明したように、図1の本発明のXOR回路では低減される。

【0027】同様に、図6に示した従来のセクタ回路のインバータ28、29に流れる貫通電流が、先に説明したように、図2の本発明の反転セクタ回路では低減される。

【0028】よって、図1、図2に示したXOR回路、反転セクタ回路を用いて構成した図3の様な全加算器は図7に示したような従来の全加算器より貫通電流が低減された分だけ、消費電流は低減できる。

【0029】図4に本発明の別の実施例である4-2加算回路を示す。この回路の真理値表を図12に示す。図4中のXOR回路103、104、105、106は図1に示すXOR回路を用い、反転セクタ回路112、113は図2に示す反転セクタ回路を示す。この4-2加算回路でキャリ出力Cy(307)は次段の同じ4-2加算回路へ繰り越される。またキャリ入力Cinには図4の上方に隣接して接続する同じ構造の4-2加算回路からのキャリが入力される。キャリ出力Coutからは図4の下方に隣接して接続する同じ構造の4-2加算回路へ出力する。

【0030】図9に従来の4-2加算回路の例を示す。この回路のXOR回路57、58、59、60は図5の様な回路を用い、セクタ回路122、123は図6の様な回路を用いる。

【0031】この場合も、図4の様な4-2加算回路は、貫通電流を低減させたXOR回路、反転セクタ回路を用いて構成できるため、従来の4-2加算器よりも消費電力を低減できる。

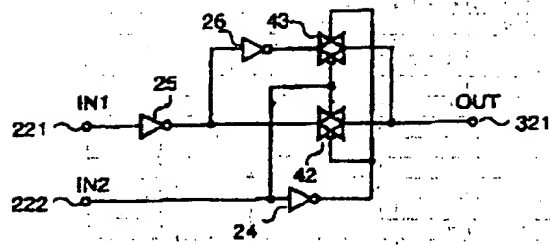
【0032】なお、図1の実施例では、入力端子201をIN1、出力端子300をIN1\_、入力端子202をIN2、出力端子301をIN2\_としたが、入力端子201をIN2、出力端子300をIN2\_、入力端子202をIN1、出力端子301をIN1\_としても良い。また、pMOS11とpMOS12の位置は交換してもよい。同様にnMOS1とnMOS2の位置も交換してもよい。

【0033】また、図2の実施例ではpMOS13とp

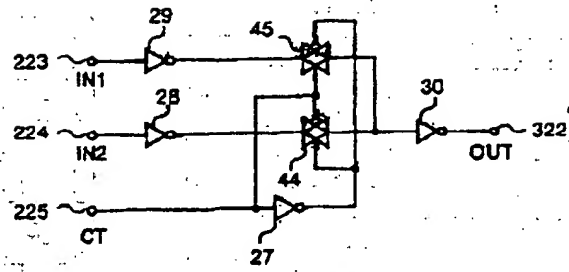
50



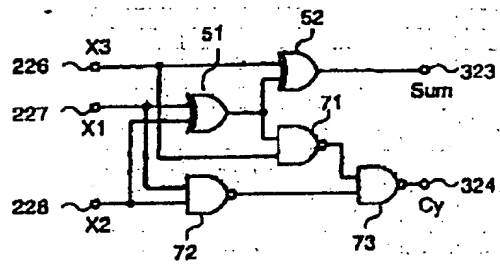
【図5】



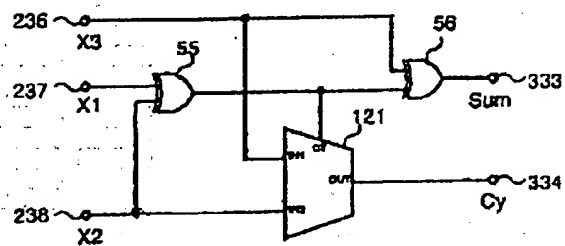
【図6】



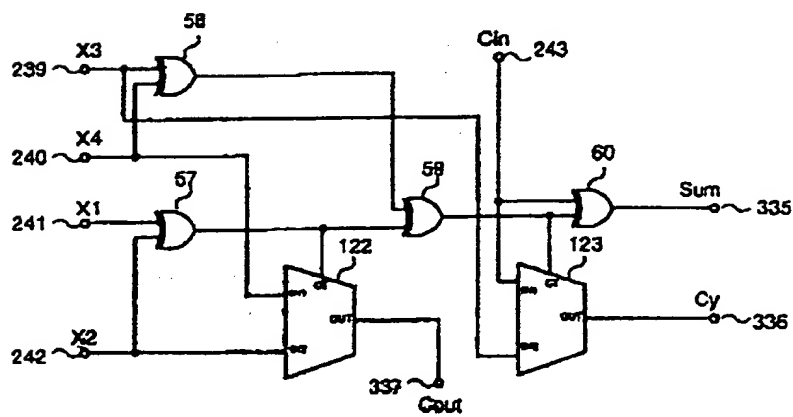
【図7】



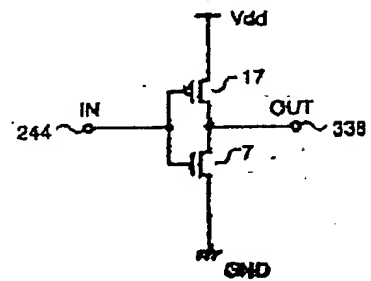
【図8】



【図9】



【図10】



【図11】

全加算器の真理値表

入力			出力	
X1	X2	X3	Cy	Sum
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

【図12】

4-2加算器の真理値表

入力					出力		
Cin	X4	X3	X2	X1	Cout	Cy	Sum
0	0	0	0	0	0	0	0
0	0	0	0	1	0	0	1
0	0	0	1	0	0	1	1
0	0	0	1	1	1	0	0
0	0	1	0	0	0	0	1
0	0	1	0	1	0	1	0
0	0	1	1	0	0	1	0
0	0	1	1	1	1	0	1
0	1	0	0	0	0	0	1
0	1	0	0	1	1	0	0
0	1	0	1	0	1	0	0
0	1	0	1	1	1	0	1
0	1	1	0	0	0	1	0
0	1	1	0	1	1	0	1
0	1	1	1	0	1	1	0
0	1	1	1	1	1	1	0
1	0	0	0	0	0	0	1
1	0	0	0	1	0	1	0
1	0	0	1	0	0	1	0
1	0	0	1	1	1	0	1
1	0	1	0	0	0	1	0
1	0	1	0	1	0	1	1
1	0	1	1	0	0	1	1
1	0	1	1	1	1	1	0
1	1	0	0	0	0	1	0
1	1	0	0	1	1	0	1
1	1	0	1	0	1	0	1
1	1	0	1	1	1	1	0
1	1	1	0	0	0	1	1
1	1	1	0	1	1	1	0
1	1	1	1	0	1	1	0
1	1	1	1	1	1	1	1

10/10/10

10/10/10

10/10/10

10/10/10

10/10/10

10/10/10

10/10/10

10/10/10

10/10/10

10/10/10

10/10/10

10/10/10

10/10/10

10/10/10

10/10/10

10/10/10

10/10/10

10/10/10

10/10/10

10/10/10

10/10/10

10/10/10

10/10/10

10/10/10

10/10/10

10/10/10

10/10/10

10/10/10

10/10/10

10/10/10

10/10/10

10/10/10

10/10/10

10/10/10

10/10/10

10/10/10



## Exclusive-OR gate, an inverted type selector, and adders

(1)

Patent Number: ☐ US5687107  
Publication date: 1997-11-11  
Inventor(s): IGURA HIROYUKI (JP)  
Applicant(s): NIPPON ELECTRIC CO (JP)  
Requested Patent: ☐ JP8076976  
Application Number: US19950524808 19950907  
Priority Number(s): JP19940214832 19940908  
IPC Classification: G06F7/50; H03K19/21  
EC Classification: G06F7/50C2, G06F7/50C6M, G06F7/60P, H03K19/21C  
Equivalents: JP2636749B2

### Abstract

A new type exclusive-OR gate and an inverted type selector are composed using a cascaded connection of two p-type MOSFETs between a positive terminal of a power supply and an signal output terminal, and a cascaded connection of two n-type MOSFETs between a grounded terminal of the power supply and the signal output terminal. Power consumption in the new type exclusive-OR gate and the inverted type selector is reduced by reducing number of conventional inverters used in these circuits. A full-adder and a 4-2 compressor are designed using these new type exclusive-OR gates and inverted selectors or an inverted type selector.

Data supplied from the esp@cenet database - 12

SUBJECT: [illegible]

DATE: [illegible]

FILE NO: [illegible]

RE: [illegible]

BY: [illegible]

FOR: [illegible]

FILED: [illegible]

DATE: [illegible]

FILE NO: [illegible]

RE: [illegible]

BY: [illegible]

FILE NO: [illegible]

RE: [illegible]

BY: [illegible]

FILE NO: [illegible]

DOCKET NO: GR 9891716

SERIAL NO: 09/311, 118

APPLICANT: Heyne et al.

LENER AND G. ENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100